



(19)

(11) Publication number: 2003017593 A

Generated Document

PATENT ABSTRACTS OF JAPAN

(21) Application number: 2001196057

(51) Intl. Cl.: H01L 21/8246 H01L 27/112

(22) Application date: 28.06.01

(30) Priority:

(43) Date of application publication: 17.01.03

(84) Designated contracting states:

(71) Applicant: MATSUSHITA ELECTRIC IND CO LTD

(72) Inventor: HIRATA AKIO

(74) Representative:

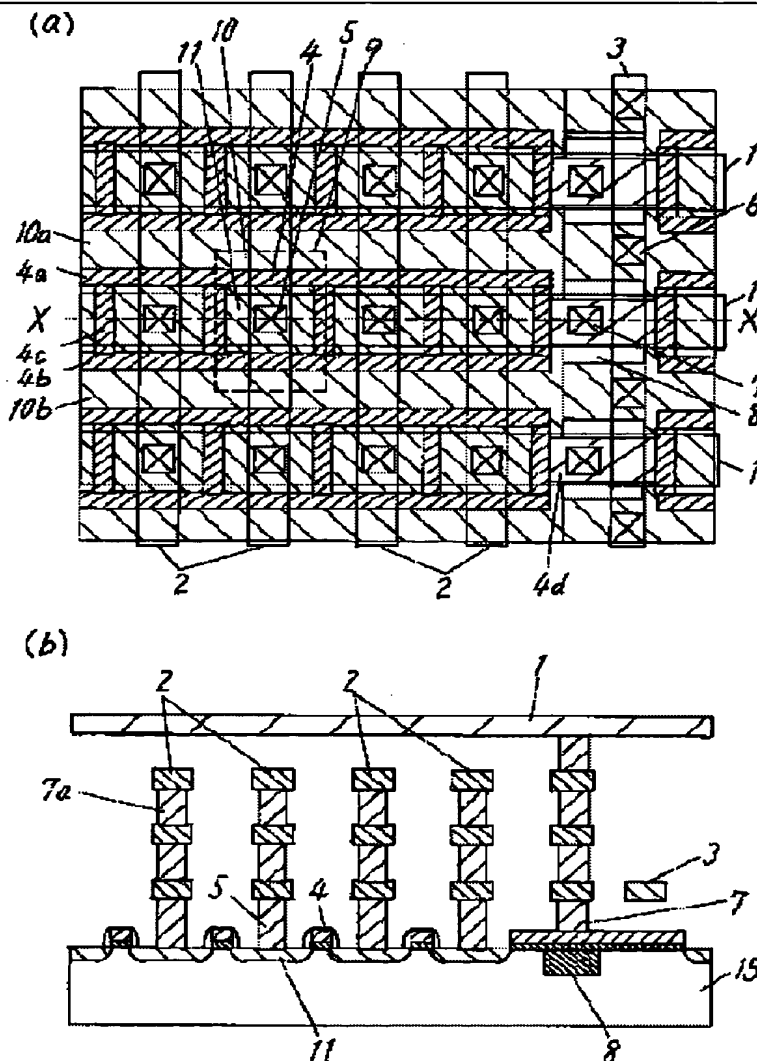
(54) SEMICONDUCTOR MEMORY

(57) Abstract:

PROBLEM TO BE SOLVED: To perform high speed and low power consumption of a mask ROM data reading time while suppressing the increase of a layout area.

SOLUTION: The four sides of a drain area 11 of a memory 9 are surrounded by a gate electrode 4 comprising gate electrodes 4a, 4b, 4c. It is a ladder type memory block by being connected to one direction of a word line. The ladder type gate electrode 4 is connected to the word line 1 through a gate contact 7 provided on a common connection part 4d electrically connecting the gate electrodes 4a, 4b. The memory cell 9 connected to the word line 1 shares a source area 10, which is connected to a ground line 3 through a source contact 6. A part between drain areas 11 of an adjacent transistor is separated by a gate electrode 4c.

COPYRIGHT: (C)2003,JPO



(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号
特開2003-17593
(P2003-17593A)

(43)公開日 平成15年1月17日(2003.1.17)

(51)Int.Cl. ⁷	識別記号	F I	テーム(参考)
H 0 1 L 21/8246		H 0 1 L 27/10	4 3 3 5 F 0 8 3
27/112			

審査請求 未請求 請求項の数 5 O L (全 7 頁)

(21)出願番号 特願2001-196057(P2001-196057)

(22)出願日 平成13年6月28日(2001.6.28)

(71)出願人 000005821

松下電器産業株式会社

大阪府門真市大字門真1006番地

(72)発明者 平田 昭夫

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(74)代理人 100097445

弁理士 岩橋 文雄 (外2名)

Fターム(参考) 5F083 CR03 GA01 GA03 GA05 HA02

JA32 KA02 LA16 MA06 MA20

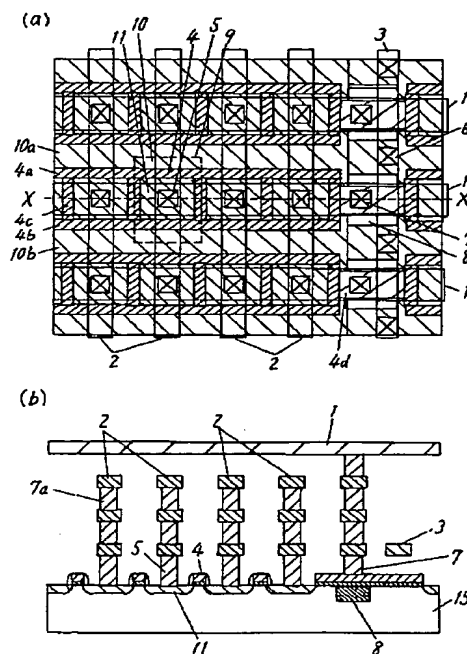
NA01 PR36

(54)【発明の名称】 半導体記憶装置

(57)【要約】

【課題】 レイアウト面積の増加を抑えつつ、マスクROMのデータ読み出し時間の高速化と低消費電力化を行う。

【解決手段】 メモリセル9のドレイン領域11の四方が、ゲート電極4a、4b及び4cからなるゲート電極4により囲まれている。これが、ワード線1方向に連なることにより、はしご形のメモリブロックを構成する。はしご型のゲート電極4は、ゲート電極4aとゲート電極4bとを電氣的に接続する共通接続部4d上に設けられたゲートコンタクト7を介してワード線1に接続されている。同じワード線1に繋がるメモリセル9はソース領域10を共有し、ソース領域10はソースコンタクト6を介してグラウンド線3につながれている。隣接するトランジスタのドレイン領域11の間はゲート電極4cによって分離されている。



【特許請求の範囲】

【請求項1】 半導体領域上に形成された第1のゲート電極と、

前記半導体領域上に、前記第1のゲート電極に対して平行に形成された第2のゲート電極と、

前記第1のゲート電極と前記第2のゲート電極とを電気的に接続する共通接続部と、

前記第1のゲート電極と前記第2のゲート電極とに挟まれた前記半導体領域に形成された複数個のドレイン領域と、

前記第1のゲート電極を挟んで前記ドレイン領域に対向するように前記半導体領域に形成された第1のソース領域と、

前記第2のゲート電極を挟んで前記ドレイン領域に対向するように前記半導体領域に形成された第2のソース領域とを有することを特徴とする半導体記憶装置。

【請求項2】 請求項1記載の半導体記憶装置において、

前記複数個のドレイン領域は、隣接するドレイン領域の間が、前記半導体領域に形成した若干分離層によって分離されていることを特徴とする半導体記憶装置。

【請求項3】 請求項1記載の半導体記憶装置において、

前記複数個のドレイン領域は、隣接するドレイン領域の間が、前記第1のゲート電極と前記第2のゲート電極とを接続する第3のゲート電極下で分離されており、

ゲート電極が、前記第1、第2及び第3のゲート電極によって、はしご形状に形成されていることを特徴とする半導体記憶装置。

【請求項4】 請求項1～3のうちのいずれか1項に記載の半導体記憶装置において、

前記第1及び第2のゲート電極は、前記共通接続部に設けられたゲートコンタクトを介してワード線に接続されており、

前記第1及び第2のソース領域は、ソースコンタクトを介してグラウンド線に接続されており、

前記複数個のドレイン領域のうち、所望のドレイン領域のみがドレインコンタクトを介してビット線に接続されていることを特徴とする半導体記憶装置。

【請求項5】 請求項1～4のうちのいずれか1項に記載の半導体記憶装置において、

前記半導体領域は、SOI基板における酸化膜層上の半導体層であることを特徴とする半導体記憶装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、高速なデータ読み出し速度および低消費電力であるマスクROMを有する半導体記憶装置に関する。

【0002】

【従来の技術】 近年、LSIの大規模化に伴い、電気機

器のシステムを一つのLSI上に構築したシステムLSIの設計が盛んになっている。このようなシステムLSIにおいてはマイクロコンピュータからSRAM、DRAM、マスクROMなどのメモリまでが一つのチップ上に集積される。マスクROMは不揮発性の読み出し専用メモリであり、製造工程でマスクパターンを使ってデータを書き込む。このようなシステムLSIに搭載されるマスクROMにおいては高集積度のみならず、TAT（ターンアラウンドタイム）が短いこと、高速アクセス、低消費電力化が要求されている。

【0003】 TATが短いマスクROMの方式として、コンタクトプログラム方式のものが広く利用されている。コンタクトプログラム方式のマスクROMは、ビット線に繋がるコンタクトの有無、無しにより“1”または“0”のデータを記憶する方式である。このコンタクトプログラム方式のマスクROMでは、プログラムをするコンタクトのレイヤを上位層にすることにより、プログラム後の製造工程を少なくすることが可能である。

【0004】 マスクROMの高集積化は製造プロセスの微細化により行うことが出来るが、同時に高速化を行うことが困難になっている。NOR型マスクROMのデータ読み出し時間の大半を占めるのは、ビット線の寄生容量にプリチャージされた電荷をメモリセルのMOSFETで放電するのにかかる時間である。製造プロセスの微細化によりビット線間の距離が縮まり単位長さあたりの配線容量が大きくなることと、高集積化により一本のビット線に繋がるメモリセルの数が多くなることによりビット線の寄生容量が大きくなるのがデータ読み出し時間の増加に繋がっている。

【0005】 図6は、従来のマスクROMを有する半導体記憶装置のメモリセル部を示す平面図である。また、図7は、図6に示すような従来のマスクROMのメモリセル部を示す等価回路図である。図6及び図7において、51はワード線、52はビット線、53はグラウンド線、54はポリシリコンゲート、55はドレインコンタクト、56はソースコンタクト、57はゲートコンタクト、59はメモリセル、60はソース領域、61はドレイン領域である。

【0006】 この従来のマスクROMでは、1つのメモリセル59につき、1つのn型MOSFET 58で構成される。また、ソース領域60はソースコンタクト56を介してグラウンド線53に接続され、ポリシリコンゲート54はゲートコンタクト57を介してワード線51に接続され、ドレイン領域61がドレインコンタクト55を介してビット線52に接続されるかまたは接続されないかにより、“1”または“0”のデータを記憶する。

【0007】 図8は、従来のマスクROMのメモリセル部の動作状態を示す回路図である。図8において、51はワード線、52はビット線、53はグラウンド線、62はプログラムコンタクト、63は寄生容量、64は電流

バスを示す。あらかじめビット線52の寄生容量63がプリチャージされており、ワード線51がハイになったときn型MOSFET58がオンになる。このとき、n型MOSFET58がプログラムコンタクト62によって、ビット線52に繋がっている場合は、ビット線52の電位は電流バス64を流して接地されるためローレベルに変化し、ビット線52に繋がっていない場合はビット線52の電位はプリチャージされた電位のままである。このビット線52の電位の変化を外部に接続されたセンスアンプにより検出することによりデータの“1”または“0”を判定する。

【0008】

【発明が解決しようとする課題】しかしながら、上記のような従来のマスクROMを有する半導体記憶装置の構成では、ビット線52の寄生容量63にプリチャージされた電荷は、1つのn型MOSFET58により放電される。従って、大きなビット線52の寄生容量63（ビット線間の容量、メモリセルのドレイン接合容量など）に蓄まった電荷を、ゲート幅サイズが小さくかつ電流駆動能力の小さなn型MOSFET58だけで放電するため、センスアンプで“1”または“0”が検出される電位までビット線電位が変化するのに時間がかかることが問題だった。

【0009】そこで、本発明の目的は、マスクROMのレイアウト面積の増加を抑えつつ、データ読み出し時間の高速化を可能にする半導体記憶装置を提供することにある。さらに、従来と同一のデータ読み出し時間の条件下では、電源電圧を下げることで低消費電力化を可能にする。

【0010】

【課題を解決するための手段】本発明の半導体記憶装置は、半導体領域上に形成された第1のゲート電極と、半導体領域上に、第1のゲート電極に対して平行に形成された第2のゲート電極と、第1のゲート電極と第2のゲート電極とを電気的に接続する共通接続部と、第1のゲート電極と第2のゲート電極とに挟まれた半導体領域に形成された複数のドレイン領域と、第1のゲート電極を挟んでドレイン領域に対向するように半導体領域に形成された第1のソース領域と、第2のゲート電極を挟んでドレイン領域に対向するように半導体領域に形成された第2のソース領域とを有する。

【0011】この構成によれば、第1及び第2のゲート電極によって、ドレイン領域からの電流バスが第1のソース領域側と第2のソース領域側の2方向となるため、メモリセル1つ当たりの電流駆動能力を高くすることができ、データの読み出し時間を高速化することが可能になる。また、速度が速くなった分だけ電源電圧を下げ、低消費電力化を行うことができる。

【0012】上記半導体記憶装置において、複数のドレイン領域は、隣接するドレイン領域の間が、半導体領

域に形成された素子分離層によって分離されている。

【0013】また、上記半導体記憶装置において、複数のドレイン領域は、隣接するドレイン領域の間が、第1のゲート電極と第2のゲート電極とを接続する第3のゲート電極下で分離されており、ゲート電極が、前記第1、第2及び第3のゲート電極によって、はしご形状に形成されている。

【0014】この構成によれば、ドレイン領域が第1、第2及び第3のゲート電極によって四方が囲まれているため、メモリセル1つ当たりの等価的なゲート幅は従来のメモリセルにおける1つのMOSFETに比べて3倍～4倍に大きくすることができる。よって、メモリセル1つ当たりの電流駆動能力が高くなり、データの読み出し時間を高速化することが可能になる。また、同一速度条件下では電源電圧を下げ、低消費電力化を行うことができる。

【0015】また、上記半導体記憶装置において、第1及び第2のゲート電極は、共通接続部に設けられたゲートコンタクトを介してワード線に接続されており、第1及び第2のソース領域は、ソースコンタクトを介してグラウンド線に接続されており、複数のドレイン領域のうち、所望のドレイン領域のみにドレインコンタクトを介してビット線が接続されている。

【0016】さらに、上記半導体領域として、SOI基板における酸化膜層上の半導体層を用いても良い。このように、酸化膜層上の半導体層を用いることにより、ドレイン領域の接合容量が1/7～1/10に削減されるため、ビット線の寄生容量を削減することができ、データ読み出し時間の高速化と低消費電力化を行うことができる。

【0017】

【発明の実施の形態】（第1の実施の形態）図1は、本発明の第1の実施の形態に係るマスクROMのメモリセル部を有する半導体記憶装置であり、（a）は平面図、（b）は（a）のX-X'箇所の断面図である。

【0018】図1に示すように、本発明のマスクROMは、複数のワード線1と、ワード線1と交差して配置された複数のビット線2と、ビット線2に平行に配置されたグラウンド線3と、ワード線1方向に互いに平行に配置されたゲート電極4a及び4bとその間を接続するゲート電極4cからなるはしご形状を有するゲート電極4とがシリコン基板15上に形成されている。

【0019】そして、シリコン基板15に、ゲート電極4aとゲート電極4bとの間に形成された複数のドレイン領域11と、ゲート電極4aを挟んでドレイン領域11に対向する位置に形成されたソース領域10aと、ゲート電極4bを挟んでドレイン領域11に対向する位置に形成されたソース領域10bと、ゲート電極4aとゲート電極4bとを共通接続する共通接続部4d下に形成された素子分離層8とが形成されている。

【0020】そして、ゲート電極4は共通接続部4d上に形成されたゲートコンタクト7を介してワード線1に接続されており、複数のドレイン領域11のうち、所望のドレイン領域のみにドレインコンタクト5を介してビット線2に接続されており、ソース領域10a及び10bはソース領域10a及び10b上に形成されたソースコンタクト6を介してグラウンド線3に接続されている。また、同じワード線1に繋がるメモリセル9は、ソース領域10a及び10bからなるソース領域10を共有するように構成されている。また、ドレイン領域11とビット線2との接続の有無は、図1(b)の構成の場合には、ビット線2直下のコンタクト7aを形成するか否かによって行っている。

【0021】この構成によれば、メモリセル9のN型MOSFETの各ドレイン領域11は、四方がゲート電極4a、4b及び4cからなるゲート電極4により囲まれており、隣接するドレイン領域11の間がゲート電極4cで分離されるようにワード線1方向に隣接して配置されている。そのため、ゲート電極4は、平行に配置されたゲート電極4aとゲート電極4bとの間を一定の間隔をもって接続する複数のゲート電極4cが配置されているため、いわゆるはしご型の形状を有している。したがって、このはしご型のゲート電極4では、共通接続部4d上に設けられたゲートコンタクト7を介して接続されているワード線1がオン状態になると、ドレイン領域11を取り囲む四方のゲート電極4が全てオン状態となる。

【0022】図2は、本発明の第1の実施の形態に係るマスクROMのメモリセル部の等価回路図である。また、図3は、本発明の第1の実施の形態に係るマスクROMのメモリセル部の動作状態を示す回路図である。

【0023】図2及び図3において、1はワード線、2はビット線、3はグラウンド線、9はメモリセル、12はプログラムコンタクト、13は寄生容量、14a～14fは電流パス、17a、17bはn型MOSFETである。一つのメモリセルはグラウンド線3に繋がる上下2つのn型MOSFET17aと、隣のメモリセルのドレイン領域に繋がる左右2つのn型MOSFET17bとから構成される。

【0024】図3に示すように、あらかじめビット線2の寄生容量13がプリチャージされており、ワード線1が高くなったときワード線を共有する全てのn型MOSFETがオンになる。このとき、メモリセル9のドレイン領域がプログラムコンタクト12によってビット線2に繋がっていない場合には、ビット線2の電位はプリチャージされた電位のままである。一方、メモリセル9のドレイン領域がプログラムコンタクト12によってビット線2に繋がっている場合は、メモリセルの上下左右に繋がるn型MOSFET17a、17bを通過してビット線2に溜まった電荷が放電され、ビット線2の電位は

ローレベルに変化する。このとき、メモリセル9の上下左右のn型MOSFET17a、17bを通過して電流が放電されるため、従来の一つのn型MOSFETのみを通過して放電される場合に比べビット線2の電位が高速に変化する。データの読み出し速度が速くなる。

【0025】本実施の形態におけるメモリセルのn型MOSFETのゲート幅サイズが従来のn型MOSFETと同じと仮定した場合、ビット線を放電するn型MOSFETの駆動力は従来の場合に比べ3倍以上になると見積もられる（隣のメモリセルを通過して放電される分は2直列のn型MOSFETと考えて、駆動力が半分として見積もった）。ビット線2が変化する時間は CV/I （Cはビット線の寄生容量、Vはビット線電位、Iはメモリセルのn型MOSFETの駆動電流）に比例するため、変化時間は1/3程度に向上される。また、従来の同等のデータ読み出し時間の条件下においては、電源電圧を下げて低消費電力化を行うことができる。

【0026】図4は、本発明の第1の実施の形態に係る半導体記憶装置の製造工程を示す工程図であり、(a1)～(d1)は平面図で、(a2)～(d2)は(a1)～(d1)のX-X'箇所の断面図である。図4において、1はワード線、2はビット線、3はグラウンド線、4はゲート電極、8は素子分離層、10はソース領域、11はドレイン領域、12はプログラムコンタクト、16は酸化膜である。

【0027】まず、図4(a1)、(a2)に示す工程で、シリコン基板15にSTI(Shallow Trench Isolation)あるいはLOCOS酸化膜などからなる素子分離層8を形成する。

【0028】次に、図4(b1)、(b2)に示す工程で、p型シリコン基板15上に酸化膜及びポリシリコン膜を順次形成した後、酸化膜及びポリシリコン膜をエッチングによりパターニングして、酸化膜からなるゲート絶縁膜16およびポリシリコン膜からなるゲート電極4を形成する。このとき、ゲート電極4は、平行に配置された2本のゲート電極4aとゲート電極4bとの間を一定間隔毎に設けたゲート電極4cで接続された、いわゆるはしご型の形状を有している。そして、ゲート電極4aとゲート電極4bは、素子分離層8上で設けられた共通接続部4dで共通接続されている。

【0029】次に、図4(c1)、(c2)に示す工程で、ゲート電極4を注入マスクにして、砒素などのV族不純物のイオン注入を行うことにより、シリコン基板15にソース領域10及びドレイン領域11を形成する。このとき、はしご型ゲート電極4の内側、すなわち、ゲート電極4a、4b及び4cで囲まれた領域にドレイン領域11が形成され、ドレイン領域11に対向するはしご型ゲート電極4の外側にソース領域10が形成される。

【0030】次に、図4(d1)、(d2)に示す工程

で、コンタクト及びメタル配線の形成を交互に行うことによって多層配線構造を有する半導体記憶装置を形成する。この実施の形態におけるメタル配線は、1層配線目でグラウンド線3を形成し、3層配線目でビット線2を形成し、4層配線目でワード線1を形成している。そして、プログラムコンタクト12は、3層目のコンタクト（ピア）で構成し、このプログラムコンタクト12の有り、無しにより、ビット線2とn型MOSFETのドレイン領域11との接続の有無、無しが生じ、ビット線2とドレイン領域11とが接続されていれば、データが

“1”で、ビット線2とドレイン領域11とが接続されていなければ、データが“0”となる。
【0031】以上のように、本実施の形態によれば、マスクROMのレイアウト面積の増加を抑えつつ、データ読み出し時間の高速化を可能にする。すなわち、各ドレイン領域11の周辺上は四方をゲート電極4によって囲まれているため、図3のようにグラウンド線3にソース領域10が接続されている2つのn型MOSFET17aに流れる電流パス14a、14b、及び、ゲート電極4cをゲートとする2つのn型MOSFET17bを介して

接続トランジスタのソース領域10（グラウンド線3）に流れる電流パス14c、14d、14e、14fによって、寄生容量13にブリッジされていた電荷を放電することができるため、高速化を図ることができる。さらに、従来と同一のデータ読み出し時間の条件下では、電源電圧を下げることで低消費電力化を可能にする。

【0032】（第2の実施の形態）図5は、本発明の第2の実施の形態に係るマスクROMのメモリセル部の構成図であり、（a）は平面図、（b）は（a）のX-X'箇所の断面図である。この第2の実施の形態は、基本的には第1の実施の形態と同様な構成を有しており、図5において、1はワード線、2はビット線、3はグラウンド線、4はゲート電極、5はドレインコンタクト、6はソースコンタクト、7はゲートコンタクト、8は素子分離層、9はメモリセル、10はソース領域、11はドレイン領域である。

【0033】この第2の実施の形態では、ゲート電極4が、ワード線1方向に平行に配置された2本のゲート電極4aとゲート電極4bからなり、ゲート電極4aとゲート電極4bとに挟まれて内側にドレイン領域11が形成され、ゲート電極4a及びゲート電極4bを挟んでドレイン領域11に対向する位置にソース領域10が形成された構成となる。また、第1の実施の形態と異なり、隣接するメモリセル9のドレイン領域11の間には、素子分離層8と同じ素子分離層8aが設けられており、この素子分離層8aによって分離されている。

【0034】従って、第1の実施の形態に比べ隣接するトランジスタを介して流れる電流パスがなくなるため、メモリセル1つあたりの電流駆動能力は劣る。しかしな

がら、1つのワード線当たりのゲート容量が削減されるので、ワード線の寄生容量が小さくなり、第1の実施の形態とワード線を駆動するバッファのゲート幅サイズが同じと仮定した場合はワード線電位の変化が早くなる。

【0035】よって、第2の実施の形態によれば、ゲート電極4a及び4bによって2方向のソース領域10に電荷を放電することができるため、マスクROMのレイアウト面積の増加を抑えつつ、データ読み出し時間の高速化を可能にする。従来と同一のデータ読み出し時間の条件下では、電源電圧を下げることで低消費電力化を可能にする。

【0036】（第3の実施の形態）上記第1および第2の実施の形態では、基板として通常のシリコン基板を用いたが、支持基板と、支持基板上に形成された酸化膜層と、酸化膜層上に形成された半導体層からなるSOI基板を用いても良い。このSOI基板の半導体層を用いると、MOSFETはソース領域およびドレイン領域の底面が厚い埋め込み酸化膜層（Buried Oxide:BOX層）に接するため、通常のシリコン基板上に形成されたMOSFETに比べ、ソースおよびドレイン領域の接合容量が1/7〜1/10程度に削減される。

【0037】従って、ビット線の寄生容量のうち、ドレイン領域の接合容量分が削減されるため、ビット線の寄生容量が小さくなり、データ読み出し時間の高速化と低消費電力化を行うことができる。

【0038】以上より、本実施の形態によれば、マスクROMのレイアウト面積の増加を抑えつつ、データ読み出し時間の高速化を可能にすると共に、ビット線の寄生容量を削減し、低消費電力化を行うことができる。従来と同一のデータ読み出し時間の条件下では、電源電圧を下げることでさらに低消費電力化を可能にする。

【0039】

【発明の効果】本発明によれば、マスクROMのメモリセル1つ当たりの電流パスとなるMOSFETが増加するので、電流駆動能力を高くすることができ、データ読み出し時間を高速化することが可能になる。また、速度が速くなった分、電源電圧を下げ、低消費電力化を行うことができる。

【0040】また本発明の別の効果としては、前記マスクROMをSOI基板上に形成することにより、ビット線の寄生容量を削減し、データの読み出し時間の高速化と低消費電力化が可能になる。

【図面の簡単な説明】

【図1】本発明の第1の実施の形態に係るマスクROMのメモリセル部を有する半導体記憶装置の構成図であり、

（a）は平面図

（b）は（a）のX-X'箇所の断面図

【図2】本発明の第1の実施の形態に係るマスクROMのメモリセル部を示す等価回路図

【図3】本発明の第1の実施の形態に係るマスクROMの

メモリセル部の動作状態の回路図

【図4】本発明の第1の実施形態に係るマスクROMのメモリセル部を有する半導体記憶装置の製造工程を示す断面図

【図5】本発明の第2の実施形態に係るマスクROMのメモリセル部の構成図であり、

(a) は平面図

(b) は(a)のX-X'箇所の断面図

【図6】従来のマスクROMのメモリセル部を有する半導体記憶装置の構成を示す平面図

【図7】従来のマスクROMのメモリセル部を示す等価回路図

【図8】従来のマスクROMのメモリセル部の動作状態を示す回路図

【符号の説明】

1 ワード線

* 2 ビット線

3 グランド線

4 ゲート電極

5 ドレインコンタクト

6 ソースコンタクト

7 ゲートコンタクト

8 素子分離層

9 メモリセル

10 ソース領域

11 ドレイン領域

12 プログラムコンタクト

13 寄生容量

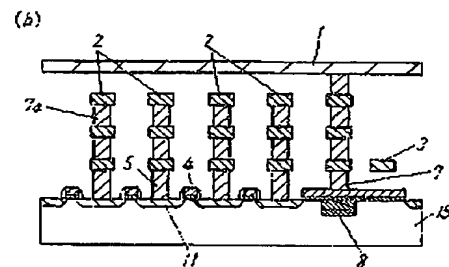
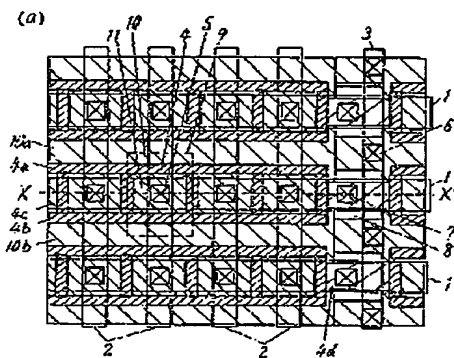
14 電流パス

15 シリコン基板

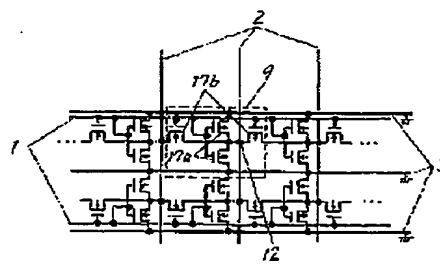
16 ゲート絶縁膜

* 17a、17b n型MOSFET

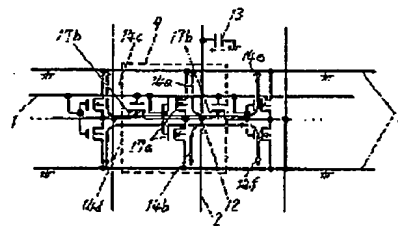
【図1】



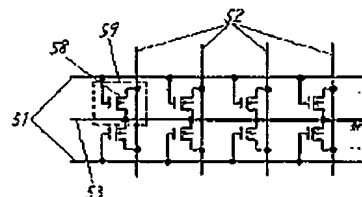
【図2】



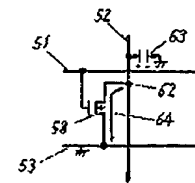
【図3】



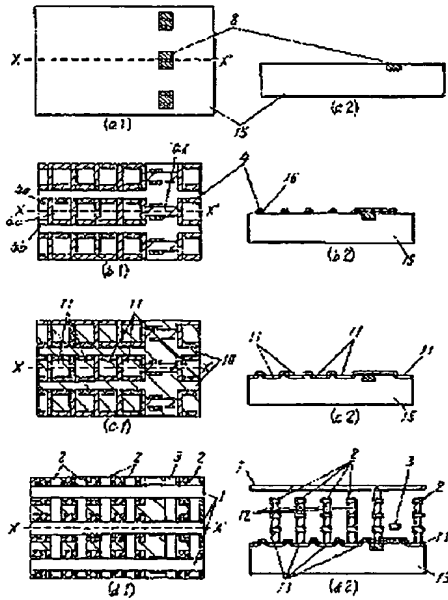
【図7】



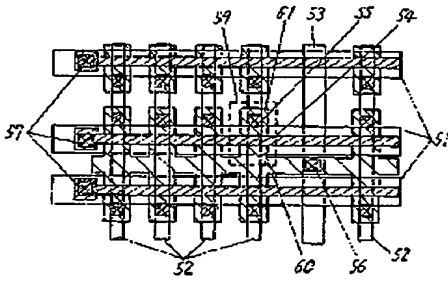
【図8】



【図4】



【図6】



【図5】

